

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-129293

(43)Date of publication of application : 22.05.1989

(51)Int.Cl.

G09G 3/00

(21)Application number : 62-287305

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.11.1987

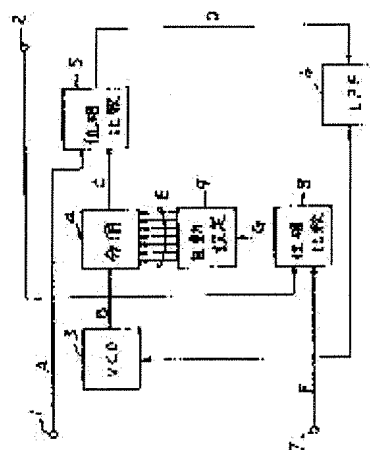
(72)Inventor : KATAYAMA KUNIHIO  
TAKASHI TERUMI

(54) DISPLAY CLOCK REGENERATING DEVICE

(57)Abstract:

**PURPOSE:** To automatically regenerate a display clock by providing a PLL circuit with a means which makes a comparison with the phase of a regenerated clock signal and a means which automatically sets the frequency division ratio of the regenerated clock signal with its output signal.

**CONSTITUTION:** The image signal of a display signal is a binary signal and a phase comparing means 5 makes a phase comparison between a change point (edge) of the level of the image signal and the output signal of a VCO and a comparison with the phase of the leading edge of the regenerated clock and outputs no signal when the phase difference is always 0 or constant, but outputs a detection signal when the phase difference between them varies. Frequency division ratio automatic setting means 4 and 9 when inputting the detection signal properly varies the set value of a frequency division ratio until the detection signal is ceased. Consequently, the frequency of the minimum unit of a display of the image signal automatically matches the frequency of the output signal of the VCO, so even if the frequency ratio of a dot clock and the synchronizing signal of the display signal varies, the frequency division ratio of a frequency divider 4 automatically matches. Consequently, the display clock of specific frequency can automatically be generated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平1-129293

⑥ Int.Cl.<sup>4</sup>

G 09 G 3/00

識別記号

庁内整理番号

7335-5C

⑬ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 表示クロック再生装置

⑯ 特 願 昭62-287305

⑰ 出 願 昭62(1987)11月16日

⑱ 発 明 者 片 山 国 弘 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
マイクロエレクトロニクス機器開発研究所内⑲ 発 明 者 高 師 輝 実 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
マイクロエレクトロニクス機器開発研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

表示クロック再生装置

## 2. 特許請求の範囲

1. 電圧制御型発振器と、該電圧制御型発振器の出力信号を分周する分周器と、該分周器の出力信号とコンピュータから出力される表示信号の同期信号とを位相比較する位相比較器と、該位相比較器の出力信号を該電圧制御型発振器の制御電圧にするローパスフィルタとからなるフェーズ・ロックド・ループ回路でもって構成され、該電圧制御型発振器の出力信号を該表示信号による画像表示もしくは該表示信号のメモリ蓄積のための表示クロックとする表示クロック再生装置において、該電圧制御型発振器の出力信号と該表示信号の画像信号とを位相比較する第1の手段と、該第1の手段の出力信号に応じて前記分周器の分周比を変化させる第2の手段とを設け、前記分周器の分周比を前記コンピュータにおけるドットクロックと前記表示信号の同期

信号との周波数比に等しく設定可能に構成したことを特徴とする表示クロック再生装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、パーソナルコンピュータから出力される表示信号の処理装置に係わり、特に、該表示信号が供給される表示装置やメモリなどのための表示クロック再生装置に関する。

## 〔従来の技術〕

パーソナルコンピュータの表示装置としては、従来、CRT(陰極線管)表示装置を用いるのが一般的であり、このために、従来では、パーソナルコンピュータにはCRT表示装置のみが接続可能な表示信号の出力端子が設けられ、これから出力される表示信号も、ビデオ信号に水平、垂直同期信号が付加されてCRT表示装置に適用可能な形式となっていた。

一方、近年では、薄形化、省電力化などの観点から液晶表示装置が用いられてきている。しかしながら、かかる表示装置では、CRT表示装置と

は異なり、画像表示には表示クロックを必要とするために、ビデオ信号に水平、垂直同期信号が附加された形式の表示信号を出力するパーソナルコンピュータには、液晶表示装置を接続することができなかった。

これに対し、上記形式の表示信号から表示クロックを形成する表示クロック再生装置を設け、この表示信号によって画像表示を可能とした液晶表示装置が提案された(特開昭61-174595号公報)。この表示クロック再生装置はPLL(フェーズ・ロックド・ループ)回路を構成するものであり、以下、これを第2図によって説明する。

同図において、入力端子1には、パーソナルコンピュータ(図示せず)から出力される表示信号の水平あるいは垂直同期信号A(以下、同期信号という)が入力される。VCO3は画像表示のための表示クロックと同一または非常に近い周波数のクロックBを発生しており、このクロックは分周器4でN分周されて入力端子1からの同期信号と同一あるいは非常に近い周波数の信号Cが形成

される。同期信号Aと分周期4の出力信号Cとは位相比較器5で位相比較され、位相差あるいは周波数差を表わす信号が出力される。位相比較器5の出力信号DはLPF6を介してVCO3に供給される。VCO3はLPF5の出力信号に従って発振周波数を変動し、定常状態(フェーズロック状態)となる。この状態でのVCO3の出力信号は入力同期信号Aと同期し、同期信号Aを有する表示信号で画像表示を行なう液晶表示装置での画像表示に必要な表示クロックと同一周波数であり、これが再生クロック信号として出力端子2から出力されて表示クロックに用いられる。

以上のようにして、同期信号を入力するだけで、表示装置の表示クロックを再生することが可能であり、現在の一般的なパーソナルコンピュータでは表示装置接続端子に表示クロックが出力されていないものが多いために、かかる従来技術は、表示クロックを必要とする液晶表示装置やメモリなどの表示データ取り込み装置には不可欠なものである。

#### [ 発明が解決しようとする問題点 ]

ところで、上記従来技術では、分周器4の分周比が入力同期信号AとVCO3の出力クロックBとの周波数比に固定される。一方、パーソナルコンピュータには種々の機種があり、これに応じて表示仕様も異なる。このために、この分周比に応じた同期信号の周波数の表示信号を出力するパーソナルコンピュータしか液晶表示装置を用いることができない。したがって、画像表示可能なパーソナルコンピュータか否かを判定するために、表示クロックの周波数やこれと表示信号の同期信号周波数との比などを予め知っておく必要がある。また、この周波数比が異なるパーソナルコンピュータを接続可能とするためには、分周器4の分周比を設定し直すという手間が必要となる。

本発明の目的は、かかる問題点を解消し、異なる同期信号周波数の表示信号に対して自動的に所定周波数の表示クロックを発生可能とした表示クロック再生装置を提供することにある。

#### [ 問題点を解決するための手段 ]

上記目的を達成するために、本発明は、表示信号の同期信号を入力とするPLL回路に、該表示信号の画像信号と該PLL回路におけるVCOからの再生クロック信号との位相を比較する位相比較手段と、該位相比較手段の出力信号により再生クロック信号を分周する該PLL回路の分周器の分周比を設定する自動設定手段とを設ける。

#### [ 作用 ]

表示信号の画像信号は2値信号であり、位相比較手段は該画像信号のレベルの変化点(エッジ)とVCOの出力信号とを位相比較し、再生クロックの立上がりエッジとの位相を比較し、位相差が0か常に一定であった場合は何も出力しないが、これら間の位相差が変動している場合にのみ検出信号を出力する。分周比自動設定手段では、この検出信号が入力されると分周比の設定値を適宜変更し、検出信号がなくなるまでこの設定値の変更を続ける。

かかる動作により、画像信号の表示の最小単位の周波数とVCOの出力信号の周波数とが自動的

に一致する。したがって、コンピュータにおけるドットクロックと表示信号の同期信号との周波数比が変わっても、分周器の分周比は自動的にこの周波数比に一致することになる。

#### 〔実施例〕

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明による表示クロック再生装置の一実施例を示すブロック図であって、1は水平同期信号の入力端子、2は再生クロック信号の出力端子、3はVCO、4は分周器、5は位相比較器、6はLPF、7は画像信号の入力端子、8は位相比較器、9は分周比自動設定回路である。

同図において、分周器4では、自動設定回路9からの設定値Bに応じた分周比Nが設定されている。VCO3が出力するクロック信号Bは分周器4でN分周される。この分周器4の出力信号Cは入力端子1からの表示信号の同期信号Aと位相比較器5で位相比較される。これらの位相差あるいは周波数差を表す位相比較器7の出力信号Dは、LPF6を介してVCO3に供給され、これによ

ってVCO3は出力位相あるいは出力周波数が制御される。

このように、VCO3、分周器4、位相比較器5、LPF6がPLL回路を構成しており、そのループゲインはLPF6によって決定される。

一方、入力端子7から表示信号のうちの同期信号を含まない2値の画像信号Fが供給され、VCO3より発生したクロック信号Bと画像信号Fとが位相比較器8で位相比較される。この位相比較はクロックBと画像信号Fとの位相の差が常に一定かどうかを検出するものであり、分周器4の分周比と、接続されたパーソナルコンピュータ（図示せず）内のドットクロックと同期信号Aの周波数比とが一致していないときには、位相比較器8から検出信号Gが出力される。この検出信号Gは自動設定回路11に供給され、これに応じた設定数Bが出力されて分周器4の分周比が変えられる。これにより、分周器4には、ドットクロックと同期信号Aの周波数比に等しい分周比Nが設定され、VCO3から出力されるクロック信号は、再生ク

ロック信号Aとして出力端子2から出力され、液晶表示装置の表示クロックとして用いられる。この表示クロックにより、液晶表示装置では、表示信号による画像表示を可能となる。

第3図は第1図における位相比較器8と分周比自動設定回路9の一具体例を示す構成図であって、10~12は入力端子、13、14はEX-OR（排他的論理和回路）、15~21はD-FF（D型フリップフロップ回路）、22はANDゲート、23はカウンタである。

同図において、入力端子7からは画像信号Fが入力され、入力端子10からのVCO3（第1図）が出力する再生クロック信号Bが入力される。また、入力端子11からは表示信号の水平同期信号が負極性（HSYNC）で入力され、入力端子12からは第1図に示したPLL回路から出力されるフェーズロック信号が入力される。D-FF15~21はこれに供給されるCK入力の立上りエッジで動作し、これらのうちD-FF17~21はクリア端子CLRを有している。

次に、第4図を用いてこの具体例の動作を説明する。なお、第4図は第3図の各部の信号波形を示すものであって、第3図に対応する信号には同一符号をつけている。

入力端子7から入力される画像信号はD入力としてD-FF15、16に供給される。入力端子10から入力される再生クロック信号Bはデューティ比が50%とし、+5Vの“H”（高レベル）信号とともにEx-OR13に供給され、また、0Vの“L”（低レベル）信号とEx-OR14に供給される。したがって、Ex-OR13からは再生クロック信号Bと逆相のクロックB'が出力され、Ex-OR14からは再生クロック信号Bと同相のクロックB''が出力される。クロックB'はD-FF15、17のCK入力となり、クロックB''はD-FF16のCK入力となる。D-FF15、17はCK入力の立上りエッジで動作するから、再生クロック信号Bの立下りエッジで動作することになり、D-FF16、18は同様に、再生クロック信号Bの立上りエッジを動作することになる。

そこで、D-FF15は再生クロック信号Bの立下りエッジで画像信号Fをラッチし、この結果、そのQ出力Q1は、画像信号Fの立上りエッジ後の再生クロック信号Bの最初の立下りエッジで立上り、画像信号Fの立下りエッジ後の再生クロック信号Bの最初の立下りエッジで立下がる。D-FF16は再生クロック信号Bの立上りエッジで画像信号をラッチし、この結果、そのQ出力Q4は、画像信号Fの立上りエッジ後の再生クロック信号Bの最初の立上りエッジで立上り、画像信号Fの立下りエッジ後の再生クロック信号Bの最初の立上りエッジで立上がる。したがって、D-FF15のQ出力Q1とD-FF16のQ出力Q4とは、立上りエッジ、立下りエッジが夫々再生クロック信号Bの1/2周期だけ位相が異なる。

D-FF15のQ出力Q1はD-FF17のD入力となり、D-FF16のQ出力Q4はD-FF18のD入力となる。ここで、D-FF15,16は、夫々、CLR入力が“L”のときQ出力が“L”となるようにクリアされる。D-FF17のCLR入力はD-FF18のQ出

力Q5であり、D-FF18のCLR入力はD-FF17のQ出力Q5である。

ここで、第4図に示すように、画像信号Fの立上りエッジが再生クロック信号Bの立上りエッジよりも遅れ、次の立下りエッジよりも進んでいるとすると、D-FF15のQ出力Q1がD-FF16のQ出力Q4よりも再生クロック信号Bの1/2周期だけ進むことになる。このために、D-FF17には、D-FF18よりも早く、D-FF15のQ出力Q1の“H”が供給される。そこで、まず、D-FF17がD-FF15の“H”のQ出力Q1をラッチし、これとともに、そのQ出力Q2は“H”、Q出力Q2は“L”となり、D-FF18はクリア状態となる。このために、D-FF16が“H”のQ出力Q4が供給されても、そのQ出力Q5は“L”、Q出力Q5は“H”に保持される。つまり、D-FF17から、D-FF15のQ出力Q1が再生クロック信号Bの1周期だけ遅れ、Q出力Q2として出力されるが、D-FF16からD入力があっても、D-FF18のQ出力Q5は“L”に保持される。

D-FF17のQ出力Q2、D-FF18のQ出力Q5は、夫々、D-FF19,20のCK入力となる。これらD-FF19,20は、夫々、+5Vの“H”のD入力が与えられ、また、入力端子11からの負極性の水平同期信号HSYNCによって、Q出力が“L”となるように、クリアされる。すなわち、D-FF19,20は表示信号の各水平走査期間の開始毎にクリアされる。

そこで、D-FF19,20がクリアされた後、上記のように、D-FF17から“H”のQ出力Q2が出力され、D-FF18のQ出力Q5が“L”に保持されているとすると、D-FF19のQ出力Q3はD-FF17のQ出力Q2の立上りエッジで“L”から“H”に反転し、D-FF20のQ出力Q6は“L”のままに保持される。したがって、ANDゲート22の出力Iは“L”である。

また、第4図とは逆に、画像信号Fの立上りエッジが再生クロック信号Bの立下りエッジよりも遅れ、次の立上りエッジよりも進んでいるときには、上記の動作とは逆になり、D-FF19のQ出力

Q3は“L”に保持され、D-FF20のQ出力Q6は“L”から“H”に反転するが、ANDゲート22の出力Iはやはり“L”となる。

画像信号Fの立上りエッジ、立下りエッジはパーソナルコンピュータ内のドットクロックの立上りエッジ（または、立下りエッジ）と位相が一致している。そこで、画像信号Fの立上り、立下りエッジが再生クロック信号Bの立上り、立下りエッジと常に一定の位相関係にあるならば、パーソナルコンピュータ内のドットクロックと再生クロック信号Bとは同一または非常に近い周波数で位相が同期していることになり、このときには、D-FF17,18の一方がマスクされてそのQ出力は“L”に保持され、ANDゲート22の出力Iは“L”に保持される。

しかしながら、パーソナルコンピュータ内のドットクロックと再生クロック信号との周波数が異なり、画像信号Fと再生クロック信号Bとのエッジの位相関係が一定でない場合には、ANDゲート22の出力信号Iは“H”となるが、これを第5

図によって説明する。

いま、表示信号の同一水平走査期間内において、時刻 $t_1$ における画像信号Fの立上りエッジは再生クロック信号Bの立上りエッジの後で次の立下りエッジの前にあり、時刻 $t_2$ における画像信号Fの立上りエッジは再生クロック信号Bの立下りエッジの後で次の立上りエッジの前とする。

このような画像信号Fが入力端子7から入力されると、その時刻 $t_1$ での立上りにより、まず、D-FF15のQ出力Q4が立上がり、次いで、D-FF16のQ出力Q4が立上がる。これにより、D-FF18はD-FF17のQ出力 $\overline{Q_2}$ によってマスクされ、D-FF19のQ出力Q3が“L”から“H”に反転してD-FF20のQ出力Q6は“L”のままに保持される。したがって、このときには、ANDゲート22の出力Iは“L”のままである。

D-FF19のQ出力Q3は、入力端子11からの負極性の水平同期信号 $\overline{\text{HSYNC}}$ が入力されるまで、すなわち、水平走査期間が終るまで“H”に保持される。

のD入力を与えられ、また、第1図に示したPLL回路がロックしたときに“H”、ロックがはずれたときに“L”となるフェーズロックド信号Jにより、PLL回路がロックがはずれたときクリアされ、ロックしたときクリアが解除されて動作待ち状態となる。なお、PLL回路のロックには、表示信号の1水平走査期間以上を要するものとする。

そこで、PLL回路にロックがロックし、D-FF21がリセット解除された後、ANDゲート22の出力信号Iが“L”から“H”に反転すると、その立上りエッジでD-FF21のQ出力Q7は“L”から“H”に反転する。カウンタ23はこのQ出力Q7の立上りエッジで1だけカウントアップし、分周比設定値Eを1だけ増やす。これにより、分周器4の分周比Nが1だけ増加する。PLL回路はこの更新された分周比Nで動作し、ロックがはずれてフェーズロックド信号Jを“L”にする。これによりD-FF21はクリアされる。しかる後、PLL回路がロックすると、フェーズロックド信号Jは“H”となり、D-FF21はクリアが解除されて再び

次に、同じ水平走査期間内の時刻 $t_2$ で画像信号Fが立上がると、このときには、まず、D-FF16のQ出力Q4が立上がり、次いでD-FF15のQ出力Q1が立上がる。これにより、D-FF17はD-FF18のQ出力 $\overline{Q_5}$ によってマスクされ、D-FF20のQ出力Q6は“L”から“H”に反転する。このとき、D-FF20のQ出力Q3も“H”であるから、ANDゲート22の出力Iは“L”から“H”に反転する。

このようにして、パーソナルコンピュータ内のドットクロックと再生クロック信号Bとの周波数が異なる場合には、ANDゲート22の出力信号Iは“L”から“H”に反転する。この出力信号Iの立上りは水平走査期間毎に生ずる。したがって、ANDゲート22の出力信号Iは、パーソナルコンピュータ内のドットクロックと再生クロック信号Bとが同一あるいは非常に近い周波数で位相差が常に一定であるか否かを表わしている。

ANDゲートの出力信号IはCK入力としてD-FF21に供給される。D-FF21は+5Vの“H”

上記の動作を繰り返す。

以上の動作は、パーソナルコンピュータ内のドットクロックと再生クロック信号Bとが同一あるいは非常に近い周波数となり、画像信号Aと再生クロック信号Bとの位相差が常に一定になるような分周比Nが設定されるまで、繰り返される。

この実施例によれば、非常に小規模なデジタル回路で実現しているため、ゲートアレイ化やカスタムICへの組み込みが容易である。また分周比設定用カウンタのビット数を増減することにより、接続するパーソナルコンピュータの水平総ドット数に適したハードウェアを作成できる。すなわち、水平総ドット数の大きいパーソナルコンピュータに対しては、ビット数を増やすことにより、いくらかでも対応可能であり、水平総ドット数の小さいパーソナルコンピュータに対しては、ビット数を少なくすることにより、設定時間が短くてできるという効果がある。

〔発明の効果〕

以上説明したように、本発明によれば、水平同

期信号と表示クロックの周波数比が予め判っていないとしても、水平同期信号と画像信号という一般的表示インターフェースの入力で表示クロックを再生することが可能であり、また、上記周波数比が異なるパーソナルコンピュータを接続しても、自動的に表示クロックの再生を行なえるように分周比の変更を行ない、使用者がパーソナルコンピュータの表示仕様を意識する必要がないという優れた効果が得られる。

#### 4. 図面の簡単な説明

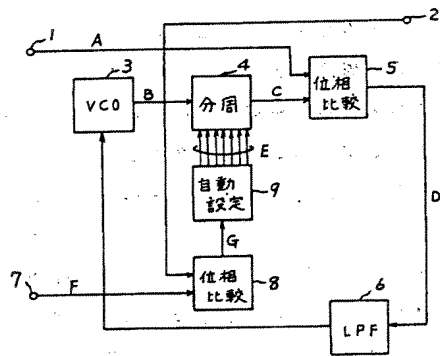
第1図は本発明による表示クロック再生装置の一実施例を示すブロック図、第2図は従来例の表示クロック再生装置の一例を示すブロック図、第3図は第1図における位相比較器と自動設定回路の具体例を示す構成図、第4図および第5図は第3図に示した具体例の動作説明図である。

- 1...同期信号の入力端子
- 2...再生クロック信号の出力端子
- 3...電圧制御型発振器
- 4...分周器

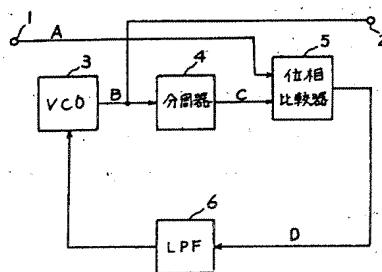
- 5...位相比較器
- 6...ローパスフィルタ
- 7...画像信号の入力端子
- 8...位相比較器
- 9...自動設定回路。

代理人 弁理士 小川勝男

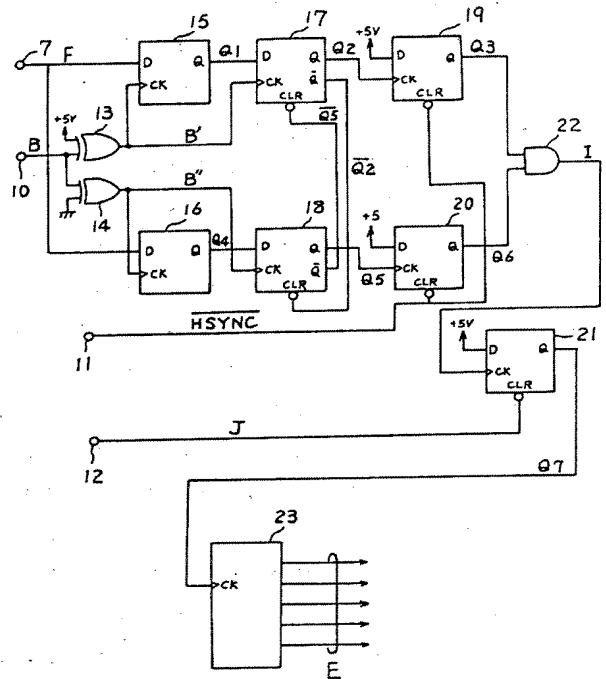
第1図



第2図

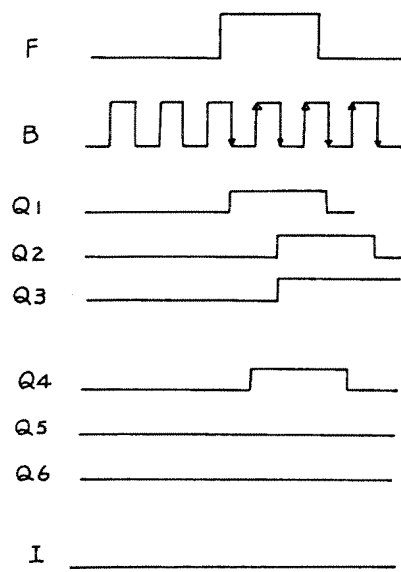


第3図





第 4 図



第 5 図

